

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平7-16158

(24) (44)公告日 平成7年(1995)2月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0948		8321-5 J	H 0 3 K 19/ 094	B

請求項の数3(全 10 頁)

(21)出願番号	特願昭63-116583	(71)出願人	999999999 日本電気株式会社 東京都港区芝5丁目7番1号
(22)出願日	昭和63年(1988)5月13日	(72)発明者	青木 泰 東京都港区芝5丁目33番1号 日本電気株 式会社内
(65)公開番号	特開平1-286618	(74)代理人	弁理士 京本 直樹 (外3名)
(43)公開日	平成1年(1989)11月17日		審査官 緒方 寿彦

(54)【発明の名称】 出力回路およびそれを用いた論理回路

1

【特許請求の範囲】

【請求項1】CMOS構造の半導体集積回路の論理演算を行なう論理回路において、

第1の入力端子は、第1のNチャネルMOSトランジスタのソース端子に接続され、該第1のNチャネルMOSトランジスタのドレイン端子は第1の出力端子となり、前記第1のNチャネルMOSトランジスタのゲート端子はVDD電源に接続されており、第2の入力端子は、第2のNチャネルMOSトランジスタのソース端子に接続され、該第2のNチャネルMOSトランジスタのドレイン端子は第2の出力端子となり、前記第2のNチャネルMOSトランジスタのゲート端子は前記VDD電源に接続されており、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソース端子は前記VDD電源に接続され、前記第1のPチャネルMOSトランジスタのゲート端子は前

2

記第2の入力端子に接続され、前記第1のPチャネルのMOSトランジスタのドレイン端子は前記第1の出力端子に接続され、前記第2のPチャネルMOSトランジスタのゲート端子は、前記第1の入力端子に接続され、前記第2のPチャネルMOSトランジスタのドレイン端子は前記第2の出力端子に接続され、前記第1の入力端子の入力信号の否定論理が前記第2の入力端子の入力信号となることを特徴とする出力回路。

【請求項2】特許請求の範囲第1項記載の出力回路において、更に、

第3のPチャネルMOSトランジスタのソース端子がVDD端子に接続され、該第3のPチャネルMOSトランジスタのゲート端子は第3の入力端子に接続され、第4と第5のPチャネルMOSトランジスタのソース端子は第3のPチャネルMOSトランジスタのドレイン端子に接続され、前

10

記第4のPチャネルMOSトランジスタのゲート端子は前記第1の入力端子に、前記第4のPチャネルMOSトランジスタのドレイン端子は前記第2の入力端子に接続され、前記第5のPチャネルMOSトランジスタのゲート端子は前記第2の入力端子に、前記第5のPチャネルMOSトランジスタのドレイン端子は前記第1の入力端子に接続されていることを特徴とする出力回路。

【請求項3】特許請求の範囲第2項の出力回路と、複数個の入力端子からの信号の論理演算の結果を出力する第3の出力端子と該第3の出力端子の論理の否定論理を出力する第4の出力端子を持つ論理処理回路とを有し、前記第3の出力端子は前記出力回路の第1の入力端子に、また前記論理処理回路の第4の出力端子は前記出力回路の第2の入力端子に接続され、前記論理処理回路はNチャネルMOSトランジスタのみから構成されていることを特徴とする論理回路。

【発明の詳細な説明】

【産業上の利用分野】

本発明はCMOS構造の半導体集積回路に関し、特に論理演算を行なう論理回路の回路構成に関する。

【従来の技術】

従来の技術としては、第5図と第6図に示す論理回路等がある。

第5図の論理回路は2個の入力信号の排他的論理和を出力する論理回路である。

この従来例はMOSトランジスタMP31,MP32,MN31,MN32から構成されるNOR論理と、MOSトランジスタMP33,MP34,MP35,MN33,MN34,MN35から構成されるAND-NOR論理回路とを縦続接続することにより構成される。ここで、MPXXはPチャネルMOSトランジスタ、MNXXはNチャネルMOSトランジスタである。また、CMOS構造の半導体集積回路では、一般的に、NOR論理回路やAND-NOR論理回路は、第3図に示すような、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを相補的に接続する回路構成が用いられる。この回路構成では、入力信号電圧がGND電位またはVDD電位であれば、出力信号電位はGND電位またはVDD電位となり、このときVDDからGNDに至る電流は“0”になる。すなわち、多段の縦続接続をしても定常電流は、“0”になるという特徴がある。よってCMOS構造の半導体集積回路では、このようなPチャネルMOSトランジスタとNチャネルMOSトランジスタとを相補的に接続する論理回路を用いるのが一般的である。

第6図の論理回路も、第5図と同一の論理演算（排他的論理和）を行なう論理回路であるが、入力信号はIA,IBの2個の他に、各々の否定信号の $\triangle I A \nabla$ 、 $\triangle I B \nabla$ の計4個がある。また、出力信号もOの他にその否定信号の \overline{O} がある。この従来例も第5図の従来例と同様に、PチャネルMOSトランジスタとNチャネルMOSトランジスタとを相補的に接続しており、CMOS構造のインバータとトランスファゲートのみから構成される論理回路であ

る。

【発明が解決しようとする課題】

上述した従来のCMOS構造の論理回路では、出力端子の電位がGND電位からVDD電位に遷移する場合、VDD端子から n_p のPチャネルMOSトランジスタを通して出力端子に至る経路で電流が流れる（ n_p は“1”以上の整数）。逆に出力端子の電位がVDD電位からGND電位に遷移する場合、出力端子から n_n 個のNチャネルMOSトランジスタを通してGND端子に至る経路で電流が流れる（ n_n は1以上の整数）。

- 10 出力端子の電位がGND電位に遷移する遷移時間は、上述の各々の電流の流れやすさによって支配される。NチャネルMOSトランジスタのキャリアは電子であり、PチャネルMOSトランジスタのキャリアは正孔であるため、同一半導体技術においては、一般的にPチャネルMOSトランジスタの方がNチャネルMOSトランジスタに比べて電流が流れにくく、出力端子電位の立上り時間は長い。特にVDD端子から出力端子までの電流の経路に、複数のPチャネルMOSトランジスタがある場合、（ n_p が複数の場合）、出力端子電位の立上がり時間は非常に長くなる。
- 20 例えば第6図の論理回路では、VDD端子から出力端子Oに至る電流回路に2個のPチャネルMOSトランジスタMP41とMP43とがある。

このように従来のCMOS構造の論理回路では、出力端子の電位がGND電位からVDD電位に遷移する立上り時間が一般的に遅いという欠点がある。

【課題を解決するための手段】

- 本発明によれば、第1の入力端子は、第1のNチャネルMOSトランジスタのソース端子に接続され、この第1のNチャネルMOSトランジスタのドレイン端子は第1の出力端子となり、この第1のNチャネルMOSトランジスタのゲート端子はVDD電源に接続されており、第2の入力端子は、第2のNチャネルMOSトランジスタのソース端子に接続され、この第2のNチャネルMOSトランジスタのドレイン端子は第2の出力端子となり、この第2のNチャネルMOSトランジスタのゲート端子はVDD電源に接続されており、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソース端子はVDDの電源に接続され、第1のPチャネルMOSトランジスタのドレイン端子は第1の出力端子に接続され、第2のPチャネルMOSトランジスタのゲート端子は、第1の入力端子に接続され、第2のPチャネルMOSトランジスタのドレイン端子は第2の出力端子に接続され、第1の入力端子の入力信号の否定論理が第2の入力端子信号となる出力回路を得る。また、本発明によれば、更に第3のPチャネルMOSトランジスタのソース端子がVDD端子に接続され、この第3のPチャネルMOSトランジスタのゲート端子は第3の入力端子に接続され、第4と第5のPチャネルMOSトランジスタのソース端子は第3のPチャネルMOSトランジスタのドレイン端子に接続され、第4のPチャネルMOSトランジスタのゲート端子は第1の入力端子に、第
- 30
- 40
- 50

5

4のPチャネルMOSトランジスタのドレイン端子は第2の入力端子に接続され、第5のPチャネルMOSトランジスタのゲート端子は第2の入力端子に、第5のPチャネルMOSトランジスタのドレイン端子は第1の入力端子に接続された出力回路を得る。本発明の出力回路では、VDD電源から出力端子に至る電流経路にPチャネルMOSトランジスタがせいぜい1個しかないため、出力端子の立上り時間が短いという利点がある。更に本発明によれば、上記の出力回路と、複数個の入力端子からの信号の論理演算の結果を出力する第3の出力端子とこの第3の出力端子の論理の否定論理を出力する第4の出力端子を持つ論理処理回路とを有し、この論理処理回路の第3の出力端子は出力回路の第1の入力端子に、また論理処理回路の第4の出力端子は出力回路の第2の入力端子に接続され論理処理回路はNチャネルMOSトランジスタのみで構成された論理回路を得る。

〔実施例〕

次に、本発明について図面を参照してより詳細に説明する。

第1図は本発明の第1の実施例の回路図である。この第1の実施例は第4図の従来例の回路図である。この第1の実施例は第4図の従来例と同一の論理演算を行なう排他的論理和回路である。入力IAとIBには演算を行なう2つの信号が入力する。入力 $\triangle T A \nabla$ 、 $\triangle T B \nabla$ には、各々入力IAとIBの否定値が入力する。この4つの各々の信号の論理値“1”はVDD電位であり、論理値“0”はGND電位であるとする。第1図のNチャネルMOSトランジスタMN13、MN14、MN15、MN16、MN17、MN18、MN19、MN20は論理回路1と構成しており、この論理回路1からの出力信号はPと \overline{P} の2つがある。出力信号 \overline{P} の2つがある。出力信号 \overline{P} はPの否定値となる。この第1の実施例は排他的論理和の論理回路であり、出力信号Pは入力信号IAと入力信号IBとの排他的論理和の結果である。

論理回路1の出力信号Pと \overline{P} の電位は各々論理値“1”では $(VDD - V_{TN})$ の電位に、論理値“0”ではGND電位になる。ここで V_{TN} はNチャネルMOSトランジスタの閾値電圧である。

出力回路2はPチャネルMOSトランジスタMP11、MP12及びNチャネルMOSトランジスタMN11、MN12が以下に説明するように接続されることにより構成される。すなわち、NチャネルMOSトランジスタMN11のソース端子には論理回路1の出力信号 \overline{P} が入力し、ドレイン端子は出力信号 \overline{O} となる。また、NチャネルMOSトランジスタMN12のソース端子には論理回路1の出力信号Pが入力し、ドレイン端子は出力信号Oとなる。NチャネルMOSトランジスタMN11、MN12のゲート端子はVDD電位が与えられている。PチャネルMOSトランジスタMP11のゲート端子は論理回路1の出力端子Pの接続され、ドレイン端子は出力信号 \overline{O} に接続される。PチャネルMOSトランジスタMP12のゲート端子は論理回路1の出力信号 \overline{P} に接続されドレ

6

イン端子は出力信号Oに接続される。また、PチャネルMOSトランジスタMP11、MP12のソース端子はVDD電源に接続されている。この出力回路2の動作について説明する。すなわち出力回路2に入力する信号P、 \overline{P} は一方がGND電位のとき他方は、 $(VDD - V_{TN})$ の電位である。信号Pが $(VDD - V_{TN})$ 電位で、反転信号 \overline{P} がGND電位のとき、PチャネルMOSトランジスタMP12のゲート端子がGND電位なのでPチャネルMOSトランジスタMP12はON状態になり、出力端子OはVDD電位となる。また、PチャネルMOSトランジスタMP11のゲート端子が $(VDD - V_{TN})$ 電位なのでPチャネルMOSトランジスタMP11はPチャネルMOSトランジスタMP12に比べて高抵抗状態となり、NチャネルMOSトランジスタMN11はON状態で反転信号 \overline{P} がGND電位であるため、出力端子 \overline{O} はGND電位となる。出力端子OはVDD電位で、NチャネルMOSトランジスタMN12はON状態であるが、信号Pは $(VDD - V_{TN})$ 電位であることに変わらない。

逆に、信号PがGND電位で反転信号 \overline{P} が $(VDD - V_{TN})$ 電位のときは、PチャネルMOSトランジスタMP11とMP12、NチャネルMOSトランジスタMN11とMP12、NチャネルMOSトランジスタMN11とMN12、出力Oと \overline{O} が逆になるだけで、前の説明と全く同じである。

このように、本発明による回路では、論理回路1は全くNチャネルMOSトランジスタで構成されており、PチャネルMOSトランジスタを使用していないため、論理回路1の出力信号の立上がり時間が短い。また、論理回路1の出力信号P、 \overline{P} は論理値が“1”のとき $(VDD - V_{TN})$ の電位で論理値が“0”のときGNDの電位であるため、論理振幅が V_{TN} の分だけ、PチャネルMOSトランジスタを使用するよりも、出力信号P、 \overline{P} の立上がり立下がり時間が短い。また、出力回路2において、VDD電源から出力信号までの経路にPチャネルMOSトランジスタが1個しかないため、出力端子の立上がり時間を短くすることができる。第1図の実施例において、論理回路1の出力信号P、 \overline{P} がそれぞれ $(VDD - V_{TN})$ 、GNDの電位のとき、出力回路2の出力信号O、 \overline{O} はそれぞれ、VDD、GNDの電位であった。このとき、PチャネルMOSトランジスタMP11はPチャネルMOSトランジスタMP12に比べて高抵抗ではあるが、完全なOFF状態ではない。なぜなら、PチャネルMOSトランジスタMP11のゲート電位が $(VDD - V_{TN})$ の電位であるからである。したがって、VDD電位からPチャネルMOSトランジスタMP11を通して出力端子 \overline{O} まで電流が流れる。この電流はNチャネルMOSトランジスタMN11を通して論理回路1に流れ込み、NチャネルMOSトランジスタMN20、MN16またはMN17、MN14を経てGNDまで流れる。このようにして、わずかではあるが定常電流が流れる。第2図は、本発明の第2の実施例である。第1図の実施例と同一の論理回路1を用いており、本実施例も排他的論理和演算を行なう回路である。

50 本実施例の出力回路には、第1の実施例の出力回路に加

えてPチャネルMOSトランジスタMP23,MP24,MP25がある。PチャネルMOSトランジスタMPチャネルMOSトランジスタMP23のゲート端子には信号Pが、ドレイン端子には反転信号 \overline{P} が接続され、PチャネルMOSトランジスタMP24のゲート端子には反転信号 \overline{P} がドレイン端子には信号Pが与えられている。PチャネルMOSトランジスタMP23,MP24のソース端子は互いに接続され、PチャネルMOSトランジスタMP25のドレイン端子につながっている。PチャネルMOSトランジスタMP25のソース端子はVDD電源に接続され、ゲート端子は $\Delta\overline{P}\nabla$ 信号として入力している。

次に、本実施例の動作を説明すると、 $\Delta\overline{P}\nabla$ 信号がVDD電位するとき、PチャネルMOSトランジスタMP25はOFF状態となり、PチャネルMOSトランジスタMP23とPチャネルMOSトランジスタMP24の片方がON状態、もう片方が高抵抗状態となり、他の部分部分については、第1図の実施例の場合と同様な動作になる。すなわち、定常電流がわずかに流れる状態になっている。

次に $\Delta\overline{P}\nabla$ 信号をGND電位にすると、PチャネルMOSトランジスタMP25はON状態になる。信号PがGND電位するとき、PチャネルMOSトランジスタMP23がON状態で、信号 \overline{P} は $(VDD-V_{TN})$ からVDD電位に変化する。すると、PチャネルMOSトランジスタMP22が高抵抗状態から完全なOFF状態になり、ここを流れていた定常電流は“0”になる。同様にPチャネルMOSトランジスタMP24もOFF状態になり、本実施例の回路全体に流れる定常電流はなくなる。

このようにして、本発明実施例の回路では、回路を使用しないときに $\Delta\overline{P}\nabla$ 信号をGND電位にすると、定常電流を0にすることができる利点があり、動作速度につ

いては、第1図の実施例と同様に高速である。第3図は本発明の第3の実施例を示したもので、この実施例の出力回路は第1図の実施例で用いている出力回路と全く同一で、PチャネルMOSトランジスタMP51,MP52とNチャネルMOSトランジスタMN51,MN52とから構成される。この実施例の論理回路はNチャネルMOSトランジス

タMN53~64で構成されており、入力IA,IB,ICの3入力の排他的論理和演算を行なう。入力 $\Delta\overline{TA}\nabla$, $\Delta\overline{TB}\nabla$, $\Delta\overline{TC}\nabla$ は各々、入力IA,IB,ICの否定値入力である。この実施例の論理回路も、PチャネルMOSトランジスタを使用しないため、論理回路の出力信号の立上がり時間が短い。この実施例では、VDD端子から出力端子P, \overline{P} までの電流経路にMOSトランジスタが3個あり、第1図の2個の場合に比べてより大きな立上がり時間の短縮効果がある。

第4図は本発明の第4の実施例を示したものである。この第4の実施例の出力回路は第2図の実施例で用いている出力回路と全く同一のもので、論理回路は第3図の実施例で用いている論理回路と全く同一のものである。

〔発明の効果〕

以上説明したように、本発明による出力回路を用いた回路では、論理生成を行なう論理回路はすべてNチャネルMOSトランジスタで構成されており、PチャネルMOSトランジスタを使用していないため、論理回路の出力信号の立上がり時間が短く、論理回路の出力信号の論理振幅が $(VDD-V_{TN})$ であるため出力信号の立上がり立下がり時間が短い。

また、出力回路は、VDD電源から出力信号までの電流経路にPチャネルMOSトランジスタが1個だけであるため、出力信号の立上がり時間が短い。

以上の理由により、本発明による出力回路を用いた回路は、高速な動作を行なうことできる効果がある。

〔図面の簡単な説明〕

第1図は本発明の第1の実施例を示す回路図である。

第2図は本発明の第2の実施例を示す回路図である。

第3図は本発明の第3の実施例を示す回路図である。

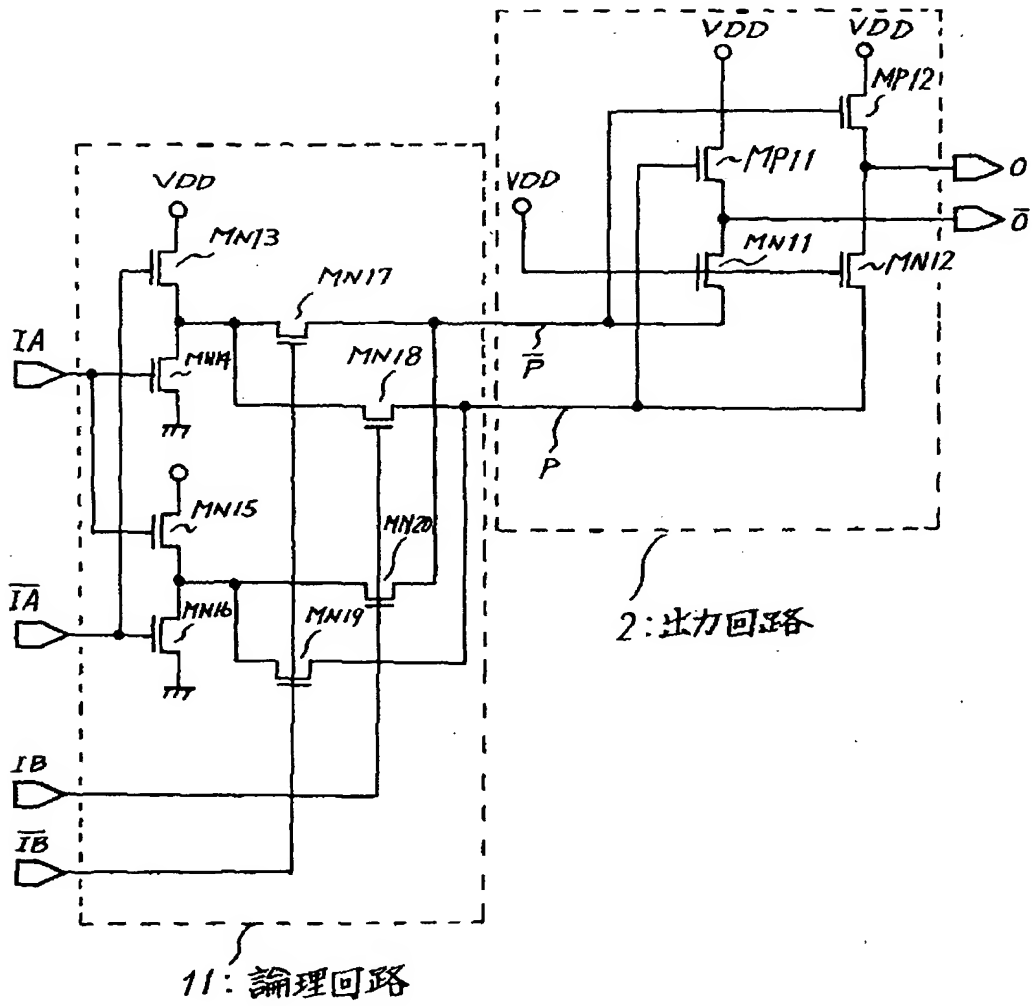
第4図は本発明の第4の実施例を示す回路図である。

第5図は従来の他の論理回路の回路図である。

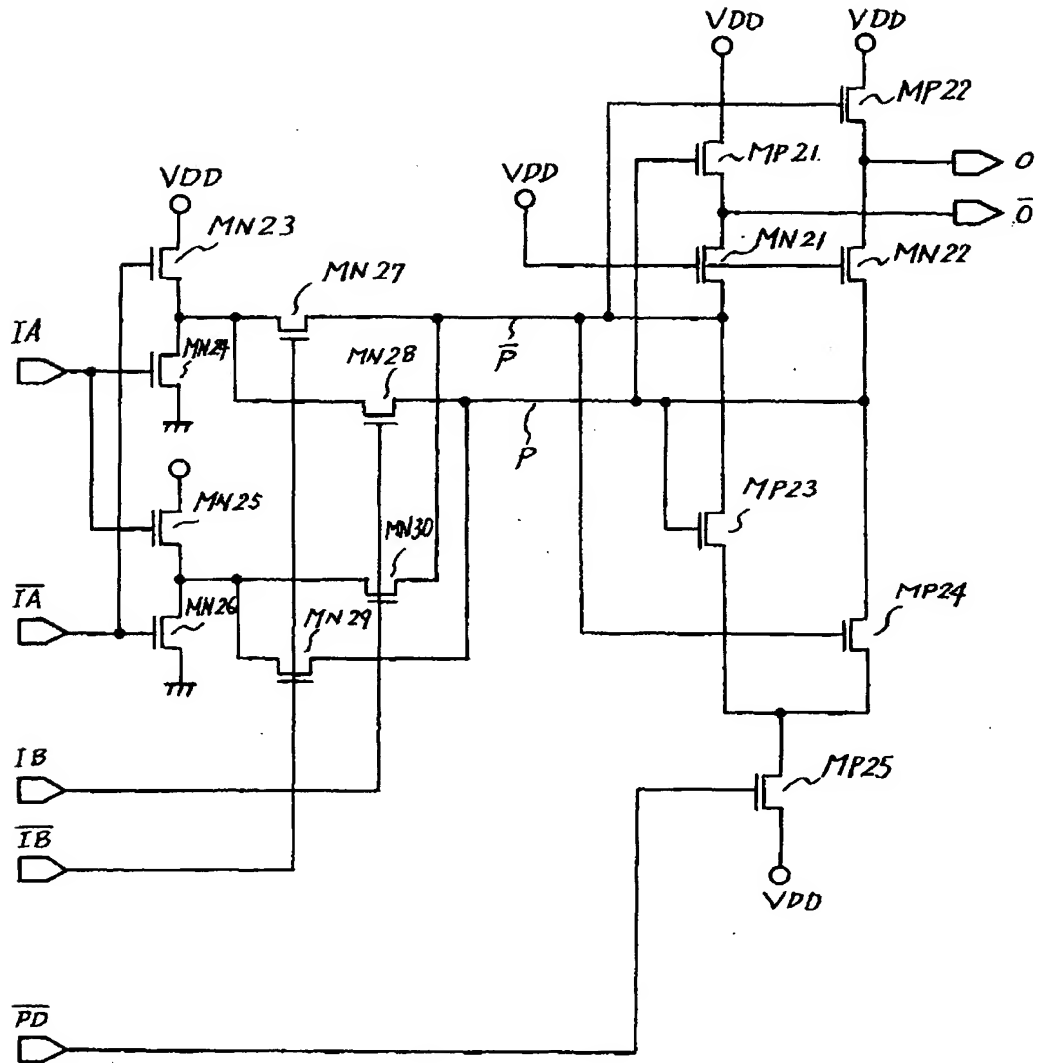
第6図は従来の他の理論回路の回路図である。

1……論理回路、2……出力回路、MN11~20……NチャネルMOSトランジスタ、MP11~12……PチャネルMOSトランジスタ

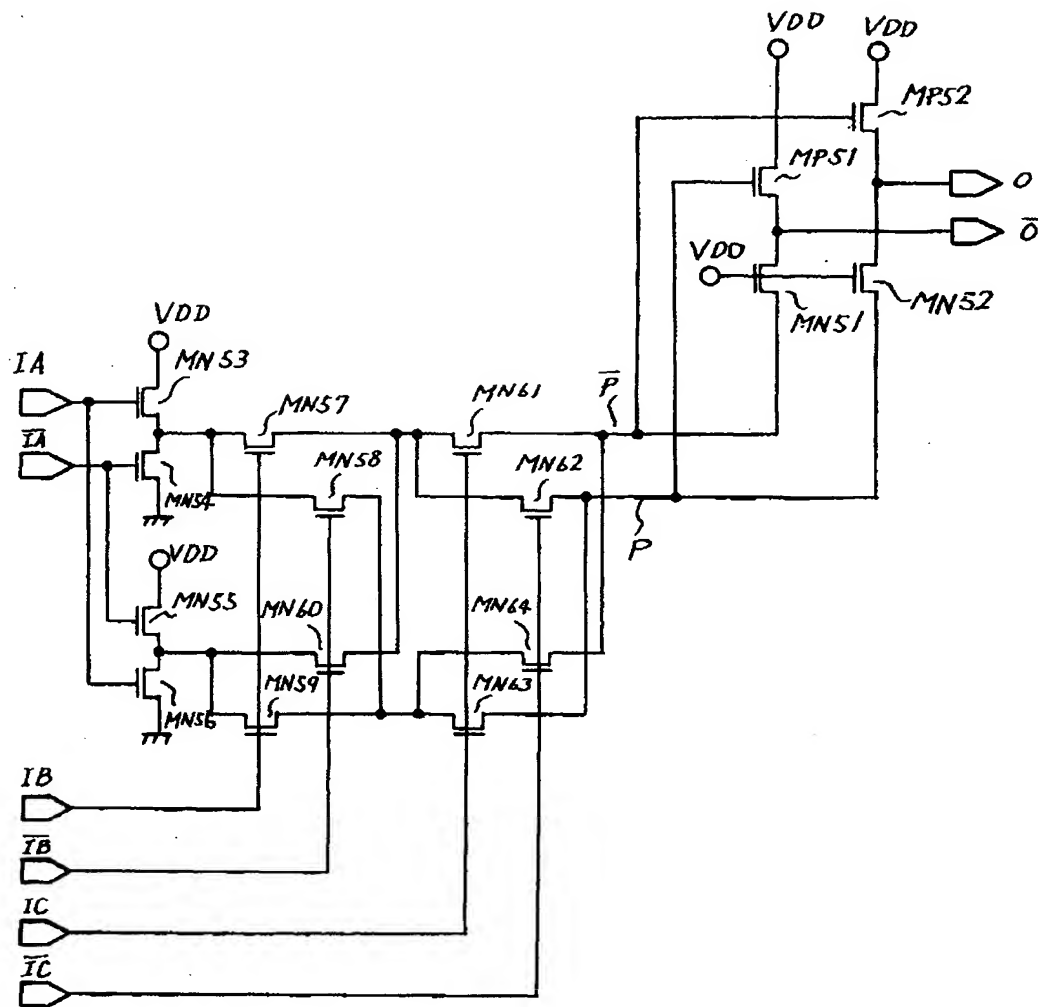
【第1図】



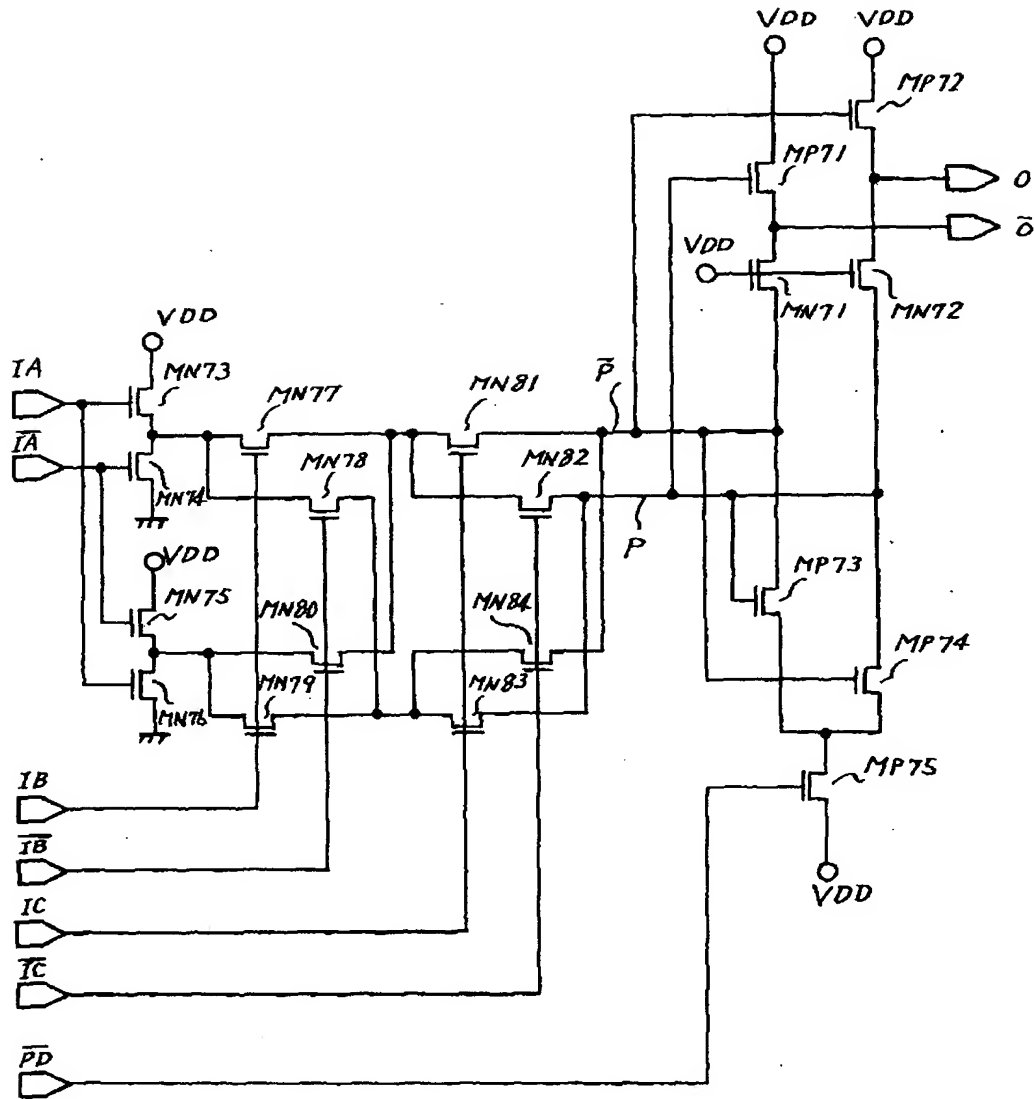
【第2図】



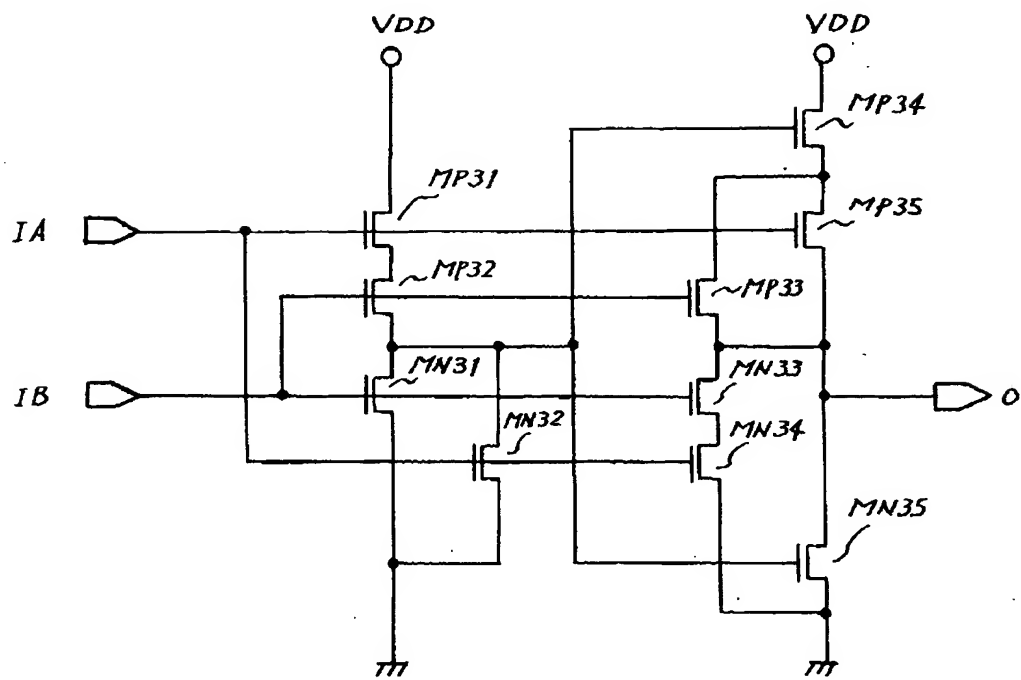
【第3図】



【第4図】



【第5図】



【第6図】

